

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 6 月 1 6 日
Date of Application:

出 願 番 号 特 願 2 0 0 3 - 1 7 0 9 0 5
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 1 7 0 9 0 5]

出 願 人 株 式 会 社 東 芝
Applicant(s):

2 0 0 3 年 9 月 2 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫

【書類名】 特許願

【整理番号】 APB033031

【提出日】 平成15年 6月16日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 23/12

【発明の名称】 半導体装置及びその組立方法

【請求項の数】 20

【発明者】

【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝
マイクロエレクトロニクスセンター内

【氏名】 友野 章

【発明者】

【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝
マイクロエレクトロニクスセンター内

【氏名】 本間 莊一

【特許出願人】

【識別番号】 000003078

【氏名又は名称】 株式会社 東芝

【代理人】

【識別番号】 100083806

【弁理士】

【氏名又は名称】 三好 秀和

【電話番号】 03-3504-3075

【選任した代理人】

【識別番号】 100068342

【弁理士】

【氏名又は名称】 三好 保男

【選任した代理人】

【識別番号】 100100712

【弁理士】

【氏名又は名称】 岩▲崎▼ 幸邦

【選任した代理人】

【識別番号】 100100929

【弁理士】

【氏名又は名称】 川又 澄雄

【選任した代理人】

【識別番号】 100108707

【弁理士】

【氏名又は名称】 中村 友之

【選任した代理人】

【識別番号】 100095500

【弁理士】

【氏名又は名称】 伊藤 正和

【選任した代理人】

【識別番号】 100101247

【弁理士】

【氏名又は名称】 高橋 俊一

【選任した代理人】

【識別番号】 100098327

【弁理士】

【氏名又は名称】 高松 俊雄

【手数料の表示】

【予納台帳番号】 001982

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】	図面 1
【物件名】	要約書 1
【ブルーフの要否】	要

【書類名】 明細書

【発明の名称】 半導体装置及びその組立方法

【特許請求の範囲】

【請求項 1】 第 1 主面と該第 1 主面に対向した第 2 主面を有するチップ搭載基板と、

前記第 2 主面に配置された複数の基板側内部電極パッドと、

前記基板側内部電極パッドに接続された第 1 の半田ボールと、

前記第 1 の半田ボールに接続された該第 1 の半田ボールより融点が高い第 2 の半田ボールと、

前記第 2 の半田ボールに接続されたチップ側内部電極パッドを第 3 主面に有する半導体チップと、

前記第 1 の半田ボール及び前記第 2 の半田ボールの周囲に封入されたフラックス機能を有する封止樹脂

とを備えることを特徴とする半導体装置。

【請求項 2】 前記第 1 の半田ボールは、 Sn-Bi 、 Sn-Bi-Ag 、 Sn-Zn 、 Sn-Zn-Bi 、 Sn-Bi-In 、 Bi-In 、 Sn-In 、 Bi-Pd 、 In-Ag 、 Sn-Pb のいずれかを有することを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】 前記第 2 の半田ボールは、 Sn-Ag 、 Sn-Ag-Cu 、 Sn-Pb 、 Sn-Zn のいずれかを有することを特徴とする請求項 1 又は 2 に記載の半導体装置。

【請求項 4】 前記半導体チップの表面に有機樹脂を含む保護膜が配置されていることを特徴とする請求項 1～3 のいずれか 1 項に記載の半導体装置。

【請求項 5】 前記半導体チップの内部に低誘電率絶縁膜が配置されていることを特徴とする請求項 1～4 のいずれか 1 項に記載の半導体装置。

【請求項 6】 前記低誘電率絶縁膜は、比誘電率が 3.5 以下であることを特徴とする請求項 5 に記載の半導体装置。

【請求項 7】 前記低誘電率絶縁膜は、前記半導体チップの内部に配置された半導体素子、絶縁膜、及び金属膜に対する密着強度が 15 J/m^2 以下である

ことを特徴とする請求項 5 又は 6 に記載の半導体装置。

【請求項 8】 前記第 2 主面に配置された第 2 基板側内部電極パッドと、
前記第 2 基板側内部電極パッドに接続された第 3 の半田ボールと、
前記第 3 の半田ボールに接続され、該第 3 の半田ボールより融点が高い第 4 の半田ボールと、
前記第 4 の半田ボールにそれぞれ接続された第 2 チップ側内部電極パッドを第 3 主面に有する第 2 半導体チップと、
前記第 3 の半田ボール及び前記第 4 の半田ボールの周囲に封入されたフラックス機能を有する封止樹脂
とを更に備えることを特徴とする請求項 1 に記載の半導体装置。

【請求項 9】 前記第 3 の半田ボールは、 Sn-Bi 、 Sn-Bi-Ag 、 Sn-Zn 、 Sn-Zn-Bi 、 Sn-Bi-In 、 Bi-In 、 Sn-In 、 Bi-Pd 、 In-Ag 、 Sn-Pb のいずれか一種を少なくとも有することを特徴とする請求項 8 に記載の半導体装置。

【請求項 10】 前記第 4 の半田ボールは、 Sn-Ag 、 Sn-Ag-Cu 、 Sn-Pb 、 Sn-Zn のいずれか一種を少なくとも有することを特徴とする請求項 8 又は 9 に記載の半導体装置。

【請求項 11】 前記第 2 半導体チップの内部に低誘電率絶縁膜が配置されていることを特徴とする請求項 8 ～ 10 のいずれか 1 項に記載の半導体装置。

【請求項 12】 前記低誘電率絶縁膜は、比誘電率が 3.5 以下であることを特徴とする請求項 11 に記載の半導体装置。

【請求項 13】 前記低誘電率絶縁膜は、前記第 2 半導体チップの内部に配置された半導体素子、絶縁膜、及び金属膜に対する密着強度が 15 J/m^2 以下であることを特徴とする請求項 11 又は 12 に記載の半導体装置。

【請求項 14】 第 1 主面及び該第 1 主面に対向した第 2 主面を有するチップ搭載基板の第 2 主面に複数の基板側内部接続パッドを形成する工程と、
前記基板側内部接続パッドの上に複数の第 1 の半田ボールをそれぞれ形成する工程と、

前記第 1 主面の基板側内部接続パッド及び前記第 1 の半田ボールの周囲にフラ

ックス機能を有する封止樹脂を塗布する工程と、

素子面を第3主面に有する半導体チップの第3主面に形成した第2の半田ボールと前記第1の半田ボールを対向させて位置合わせし、前記第1の半田ボールを熔融させて前記第2の半田ボールと前記第1の半田ボールとを接合する工程と、

前記封止樹脂を硬化させる工程

とを備えることを特徴とする半導体装置の組立方法。

【請求項15】 加温された実装ステージの上に前記チップ搭載基板を載せ、前記実装ステージからの伝熱により前記第1の半田ボールを熔融させることを特徴とする請求項14に記載の半導体装置の組立方法。

【請求項16】 前記チップ搭載基板の第2主面に複数の第2基板側内部接続パッド形成する工程と、

前記第2基板側内部接続パッドの上に複数の第3の半田ボールをそれぞれ形成する工程と、

前記第2基板側内部接続パッド及び前記第3の半田ボールの周囲にフラックス機能を有する第2封止樹脂を塗布する工程と、

第2半導体チップの第3主面に形成した第4の半田ボールと前記第3の半田ボールを対向させて位置合わせし、前記第3の半田ボールを熔融させて前記第3の半田ボールと前記第4の半田ボールとを接合する工程と、

前記第2封止樹脂を硬化させる工程

とを更に備えることを特徴とする請求項14に記載の半導体装置の組立方法。

【請求項17】 前記チップ搭載基板の第1主面に複数の基板側外部接続パッドを形成する工程と、

前記基板側外部接続パッドの上に複数の外部接続ボールをそれぞれ形成し、該外部接続ボールをそれぞれ形成する際に発生する熱により前記第2の半田ボール及び前記第1の半田ボールを熔融させて内部接続体を形成する工程

とを含むことを特徴とする請求項14に記載の半導体装置の組立方法。

【請求項18】 前記内部接続体は、 Sn-Bi 、 Sn-Bi-Ag 、 Sn-Zn 、 Sn-Zn-Bi 、 Sn-Bi-In 、 Bi-In 、 Sn-In 、 Bi-Pd 、 In-Ag 、 Sn-Ag 、 Sn-Ag-Cu 、 Sn-Pb 、 Sn-Zn

のいずれか一種を少なくとも有することを特徴とする請求項17に記載の半導体装置の組立方法。

【請求項19】 前記半導体チップの内部に低誘電率絶縁膜を形成することを特徴とする請求項14に記載の半導体装置の組立方法。

【請求項20】 前記半導体チップの表面に有機樹脂を含む保護膜を形成することを特徴とする請求項19に記載の半導体装置の組立方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置に係り、特に半田接続を用いた半導体装置及びその組立方法に関する。

【0002】

【従来の技術】

LSIなどの半導体チップの高集積化に伴い、半導体装置の小型化、高密度化、多ピン化、高速化が進められている。表面実装型のパッケージにおいては、小型化、高密度化に対応するために、半導体素子と回路基板とを突起電極を介して接続するフリップチップ方式が広く利用されている。フリップチップ方式においては、まず表面に電極パッドを有する回路基板の上に封止樹脂が塗布される。次に、素子面に突起電極等を形成した半導体チップと回路基板とが対向して配置され、回路基板の電極パッドと半導体チップの突起電極とが接触する。続いてリフロー工程において、回路基板及び半導体チップに150℃前後の余熱が与えられ、封止樹脂の有するフラックス機能により突起電極及び電極パッド界面の酸化膜や異物が除去される。さらに、回路基板及び半導体チップに200℃前後の高温で本加熱されることにより突起電極が溶融し、電極パッドと接合される。その後、キュア工程において突起電極及び電極パッドの周囲の封止樹脂が完全に硬化される。

【0003】

このような半導体装置の組立方法においては、従来、鉛を含んだ半田ペースト等のパンブが、突起電極として一般的に利用されてきた。しかし、近年は廃棄さ

れた電子機器から鉛が流出し、地下水等の環境を汚染する危険があることから、鉛の使用を廃止する動きが強まっている。そこで、半導体装置の電極に用いる材料として、鉛を含まない半田（以下において「鉛フリー半田」という。）の実用化が進められている（例えば、特許文献1参照。）。

【0004】

【特許文献1】

特開2001-298051号公報

【0005】

【発明が解決しようとする課題】

電極に用いられる鉛フリー半田の材料としては、例えばスズ-銀（Sn-Ag）合金、スズ-亜鉛（Sn-Zn）合金等がある。しかし、Sn-Ag合金等の鉛フリー半田は、一般的に融点が高いため、200℃以上の高温状態でリフローを行わなければならない。このような高温状態でリフローを行うと、半導体チップや回路基板に強い熱応力が加わり、コプラナリティの悪化や信頼性の低下が発生する。さらに、回路基板として有機系の材料が使用された場合は、200℃以上の高温状態でリフローすることで基板からガスが発生し、発生したガスが封止樹脂中に侵入する。一方、ガスが侵入した封止樹脂は、硬化反応が進行していく最中で粘度が上昇する。このため、封止樹脂に侵入したガスは、封止樹脂外へ十分に放出されることなく、ボイドとして残留する。さらに、リフローによる加熱により封止樹脂自体の熱収縮率も増大するため、半導体素子面に形成された電極等に対する応力が増大し、電極に亀裂等を生じさせてしまう。

【0006】

一方、現在使用されているマイクロプロセッサは、膨大な情報を高速に処理するために、個々のトランジスタを相互に接続する配線の抵抗と、配線間の絶縁材の容量が問題となっている。具体的には、配線はアルミニウム（Al）から銅（Cu）へ、絶縁材はシリコン酸化膜から比誘電率の低い材料へと変化しつつある。しかし、近年の電子機器に用いられる材料は、一般的に機械的強度が弱い。特に、半導体チップ内部の絶縁材として利用される低誘電率絶縁膜（low-k膜）は、低誘電性を確保するために多孔質な構造を有しているので、機械的強度、密着

強度等がシリコン酸化膜に比して著しく弱い。このため、高融点の鉛フリー半田を用いて電極のリフローを行うと、半導体チップ内部の低誘電率絶縁膜に対して強い熱応力が発生し、半田電極直下の低誘電率絶縁膜の破損や、半導体チップと回路基板との接着力の低下が生じる危険性がある。

【0007】

本発明は、上記した従来技術の欠点を除くためになされたものであって、その目的とするところは、半導体チップと基板との接続に用いられる半田材料のリフローによる熱応力を最小限にし、封止樹脂中にボイドを発生させることなく半導体チップ素子面の破壊、特に半田材料の直上に配置された低誘電率絶縁膜の破壊を防止することができる半導体装置及びその組立方法を提供することにある。

【0008】

【課題を解決するための手段】

上記目的を達成するために、本発明の第1の特徴は、第1主面と第1主面に対向した第2主面を有するチップ搭載基板と、第2主面に配置された複数の基板側内部電極パッドと、基板側内部電極パッドに接続された第1の半田ボールと、第1の半田ボールに接続された第1の半田ボールより融点が高い第2の半田ボールと、第2の半田ボールに接続されたチップ側内部電極パッドを第3主面に有する半導体チップと、第1の半田ボール及び第2の半田ボールの周囲に封入されたフラックス機能を有する封止樹脂とを備える半導体装置であることを要旨とする。

【0009】

本発明の第2の特徴は、第1主面及び第1主面に対向した第2主面を有するチップ搭載基板の第2主面に複数の基板側内部接続パッドを形成する工程と、基板側内部接続パッドの上に複数の第1の半田ボールをそれぞれ形成する工程と、第1主面の基板側内部接続パッド及び第1の半田ボールの周囲にフラックス機能を有する封止樹脂を塗布する工程と、素子面を第3主面に有する半導体チップの第3主面に形成した第2の半田ボールと第1の半田ボールを対向させて位置合わせし、第1の半田ボールを溶融させて第2の半田ボールと第1の半田ボールとを接合する工程と、封止樹脂を硬化させる工程とを備える半導体装置の組立方法であることを要旨とする。

【0010】

【発明の実施の形態】

次に、図面を参照して、本発明の第1及び第2の実施の形態を説明する。なお、電子機器の組立は、半導体大規模集積回路のチップ上での素子形成及び配線等により、いくつかの実装段階に分類されている。「1次実装体」は、図1、図13及び図16に示すように、搭載基板などにチップを接続した半導体装置（実装体）を指す。「2次実装体」は、図1、図13及び図16に示す1次実装体を実装基板上に実装した半導体装置（実装体）を指す。「3次実装体」は、2次実装体をマザーボード等を実装した半導体装置（実装体）を指す。

【0011】

以下の図面の記載において、同一又は類似の部分には同一又は類似の符号を付している。但し、図面は模式的なものであり、厚みと平均寸法の関係、各層の厚みの比率等は現実のものとは異なることに留意すべきである。また、図面相互間においても互いの寸法の関係や比率が異なる部分が含まれていることは勿論である。また、以下に示す第1及び第2の実施の形態は、この発明の技術的思想を具体化するための装置や方法を例示するものであって、この発明の技術的思想は構成部品の材質、形状、構造、配置等を下記のものに特定するものではない。この発明の技術的思想は、特許請求の範囲において種々の変更を加えることができる。

【0012】

（第1の実施の形態）

本発明の第1の実施の形態に係る半導体装置（1次実装体）100は、図1に示すように、第1主面と第1主面に対向した第2主面を有するチップ搭載基板1と、第2主面に配置された複数の基板側内部電極パッド2a、2b、2c、2dと、基板側内部電極パッド2a、2b、2c、2dに接続された第1の半田ボール3a、3b、3c、3dと、第1の半田ボール3a、3b、3c、3dに接続された第2の半田ボール4a、4b、4c、4dと、第2の半田ボール4a、4b、4c、4dに接続された半導体チップ6と、第1の半田ボール3a、3b、3c、3d及び第2の半田ボール4a、4b、4c、4dの周囲に封入されたフ

ラックス機能を有する封止樹脂 7 とを備える。

【0013】

チップ搭載基板 1 は、例えばエポキシ系樹脂からなる基材の第 1 主面及び第 2 主面に配線層 15 及び基板側内部電極パッド 2 a, 2 b, 2 c, 2 d を備えたプリント基板である。基板側内部電極パッド 2 a, 2 b, 2 c, 2 d の上部には、 SiO_2 膜、PSG 膜等からなる保護膜 18 が堆積されている。このようなチップ搭載基板 1 としては、有機系の種々な合成樹脂、セラミック、ガラス等の無機系の材料が使用可能である。有機系の樹脂材料としては、フェノール樹脂、ポリエステル樹脂、エポキシ樹脂、ポリイミド樹脂、フッ素樹脂等が使用可能で、板状にする際の芯となる基材は、紙、ガラス布、ガラス基材などが使用される。無機系の基板材料として一般的なものはセラミックである。また、放熱特性を高めるものとして金属基板、透明な基板が必要な場合には、ガラスが用いられる。セラミック基板の素材としてはアルミナ (Al_2O_3)、ムライト ($3\text{Al}_2\text{O}_3 \cdot 2\text{SiO}_2$)、ベリリア (BeO)、窒化アルミニウム (AlN)、窒化珪素 (SiC) 等が使用可能である。さらに、鉄、銅などの金属上に耐熱性の高いポリイミド系の樹脂板を積層して多層化した金属ベースの基板(金属絶縁基板)でもかまわない。基板側内部電極パッド 2 a, 2 b, 2 c, 2 d 及び配線層 15 には、アルミニウム (Al)、若しくはアルミニウム合金 (Al-Si , Al-Cu-Si)、金、銅等の導電性材料を利用することが可能である。あるいは、複数のポリシリコンゲート電極に接続されたゲート配線等の複数の信号線を介して、他の複数の電極を設けてもよい。ポリシリコンからなるゲート電極の代わりに、タングステン (W)、チタン (Ti)、モリブデン (Mo) 等の高融点金属、これらのシリサイド (WSi_2 , TiSi_2 , MoSi_2) 等、あるいはこれらのシリサイドを用いたポリサイド等からなるゲート電極でもかまわない。また、チップ搭載基板 1 の内部には複数のビアが形成され、これらのビアに接続された内部埋め込み配線が複数層に配置されていてもよい。

【0014】

基板側内部電極パッド 2 a, 2 b, 2 c, 2 d は、チップ搭載基板 1 の第 2 主面上に等間隔に離間して配置されている。基板側内部電極パッド 2 a, 2 b, 2

c, 2 dの位置、材質、数等は特に限定されない。これらの基板側内部電極パッド2 a, 2 b, 2 c, 2 dには、第1の半田ボール3 a, 3 b, 3 c, 3 dがそれぞれ接続されている。第1の半田ボール3 a, 3 b, 3 c, 3 dには、低融点の半田材料（低融点半田）が使用可能である。例えば、第1の半田ボール3 a, 3 b, 3 c, 3 dとして、スズービスマス（Sn-Bi）系、スズービスマスー銀（Sn-Bi-Ag）系、スズー亜鉛（Sn-Zn）系、スズー亜鉛ービスマス（Sn-Zn-Bi）系、スズービスマスーインジウム（Sn-Bi-In）系、ビスマスーインジウム（Bi-In）系、スズーインジウム（Sn-In）系、ビスマスーパラジウム（Bi-Pd）系、インジウムー銀（In-Ag）系、スズー鉛（Sn=5w%, Pb=95w%）系のいずれかの半田材料が使用可能である。このうち、Sn-Bi系、Sn-Bi-Ag系は138~150℃程度、Sn-Znは198~210℃程度、Sn-Bi-In系は190~200℃程度、Bi-In系は72~120℃程度、Sn-In系は116~130℃程度、In-Ag系は141~160℃程度、Sn-Pb（Sn=5w%, Pb=95w%）系は、320~330℃程度の融点を有している。なお、鉛の環境への流出を考慮する点から、第1の半田ボール3 a, 3 b, 3 c, 3 dとしては、低融点の鉛フリー半田を使用するのが好ましい。例えば、チップ搭載基板1に有機系の材料を使用した場合は、基板からのガス発生を防ぐために、Sn-Bi系、Sn-Bi-Ag系の低融点半田を第1の半田ボール3 a, 3 b, 3 c, 3 dとして使用することができる。これらの第1の半田ボール3 a, 3 b, 3 c, 3 dは、基板側内部電極パッド2 a, 2 b, 2 c, 2 dの上に凹形状を有し、凹部の内側が球状の第2の半田ボール4 a, 4 b, 4 c, 4 dの表面に密着して配置されている。

【0015】

第2の半田ボール4 a, 4 b, 4 c, 4 dは、図1に示すように、半導体チップ6の第3主面に配置されたチップ側内部電極パッド5 a, 5 b, 5 c, 5 dにそれぞれ接続されている。第2の半田ボール4 a, 4 b, 4 c, 4 dは、第1の半田ボール3 a, 3 b, 3 c, 3 dに比べて融点が高い半田材料（高融点半田）が使用できる。例えば、第2の半田ボール4 a, 4 b, 4 c, 4 dとしては、ス

ズー銀 (Sn-Ag) 系、スズー銀-銅 (Sn-Ag-Cu) 系、スズー鉛 (Sn-Pb) 系、スズー亜鉛 (Sn-Zn) 系のいずれかの半田材料が使用可能である。このうち、Sn-Ag系は220～225℃程度、Sn-Ag-Cu系は215～230℃程度、Sn-Pb系 (Sn=63w%、Pb=35w%) は180～185℃程度、Sn-Zn系は195～215℃程度の融点を有する。第2の半田ボール4a、4b、4c、4dの材料は、第1の半田ボール3a、3b、3c、3dに使用される材料の融点に応じて適宜変更可能である。鉛を含む半田材料を使用する場合は、第1の半田ボール3a、3b、3c、3dとしてSn=5w%、Pb=95w%の組成のSn-Pbが採用でき、第2の半田ボール4a、4b、4c、4dとしてSn=63w%、Pb=37w%の組成のSn-Pbが採用できる。一方、鉛の環境への流出を考慮する観点から、第2の半田ボール4a、4b、4c、4dとして鉛フリー半田を使用することもできる。例えば、第1の半田ボール3a、3b、3c、3dとしてSn-Biが採用され、第2の半田ボール4a、4b、4c、4dとしてSn-Agが採用されてもよい。

【0016】

半導体チップ6内部の第3主面側には、素子部10が形成されている。素子部10は、例えば $1 \times 10^{18} \text{ cm}^{-3} \sim 1 \times 10^{21} \text{ cm}^{-3}$ 程度のドナー若しくはアクセプタをドーブした複数の高不純物密度領域 (ソース領域/ドレイン領域、若しくはエミッタ領域/コレクタ領域等) 等が形成されている。これらの高不純物密度領域に接続されるように、アルミニウム (Al)、アルミニウム合金 (Al-Si、Al-Cu-Si)、Cu等の金属配線 (金属膜) が、低誘電率絶縁膜12や絶縁膜 (図示省略) を層間絶縁膜として多層に形成されている。また、図1に示すように、低誘電率絶縁膜12の直下 (図1の紙面下方向) には、チップ内部側電極パッド5a、5b、5c、5dが形成されている。そして、チップ側内部電極パッド5a、5b、5c、5dの下に、酸化膜 (SiO_2)、P SG膜、BPSG膜、窒化膜 (Si_3N_4)、ポリイミド膜、あるいはエポキシ樹脂等の有機系樹脂からなる保護膜 (パッシベーション膜) 13が形成され、半導体チップ6の第3主面の表面を覆っている。そして、保護膜13の一部にチップ側内部電極パッド5a、5b、5c、5dを露出するように複数の開口部 (図

示省略)が設けられ、露出されたチップ側内部電極パッド5a、5b、5c、5dに、第2の半田ボール4a、4b、4c、4dに接続されたバリアメタル14a、14b、14c、14dがそれぞれ形成されている。なお、低誘電率絶縁膜12は、配線間の比誘電率を低く抑えるために比誘電率が3.5以下の材料が好ましい。このような低誘電率絶縁膜12としては、炭素あるいはフッ素を添加した一酸化珪素(SiOC、SiOF)等の無機系絶縁材料、水素シルセソキシサンポリマー(HSQ)、有機シリカ、多孔質HSQ、ベンゾシクロブテン(BCB)等や、これらの材料を多孔質化した膜が使用可能である。また、低誘電率絶縁膜12は、剥離を防止するために、半導体チップ6の内部に配置された素子部(半導体素子)10、絶縁膜、及び金属膜に対する密着強度を 15 J/m^2 以下にしてもよい。

【0017】

封止樹脂7には、樹脂にフラックス剤を混入させた材料、硬化剤にフラックス効果を持たせた材料、樹脂にフィラーを混入させた材料、酸無水物を使用した材料等が使用可能である。樹脂材料としては、例えばエポキシ系、アクリル系、シリコン系、ポリイミド系等の樹脂が使用できる。

【0018】

本発明の第1の実施の形態に係る1次実装体100においては、チップ搭載基板1の上に低融点の第1の半田ボール3a、3b、3c、3dが配置される。これらの第1の半田ボール3a、3b、3c、3dは、例えば 150°C 程度の低温で加熱されることにより溶融するので、チップ搭載基板1の材料に有機系の樹脂を使用しても、チップ搭載基板1からガスが発生せず、封止樹脂7中にボイドが発生しにくい。また、チップ搭載基板1及び半導体チップ6が低温で接合されるので、チップ搭載基板1、半導体チップ6、及び封止樹脂7の熱収縮が小さくなり、チップ搭載基板1のコプラナリティや信頼性も向上する。さらに、第2の半田ボール4a、4b、4c、4dには過度の熱応力が加わらないので、チップ側内部電極パッド5a、5b、5c、5dの上に配置された低誘電率絶縁膜12の破損を防止できる。また、低誘電率絶縁膜12の表面に、有機系の樹脂等からなる保護膜13が配置されているので、低誘電率絶縁膜の剥離を防止できる。さら

に、半田材料に鉛フリー半田を利用すれば、環境問題に対応した1次実装体100が提供できる。

【0019】

(第1の組立方法)

次に、図2～図10を用いて、本発明の第1の実施の形態に係る1次実装体100の組立方法を説明する。なお、以下に述べる1次実装体100の組立方法は一例であり、この変形例を含めて、これ以外の種々の組立方法により、実現可能であることは勿論である。

【0020】

(イ) まず、半導体チップ6の第3主面に例えば $1 \times 10^{18} \text{ cm}^{-3} \sim 1 \times 10^{21} \text{ cm}^{-3}$ 程度のドナー若しくはアクセプタをドーピングした複数の高不純物密度領域(ソース領域/ドレイン領域、若しくはエミッタ領域/コレクタ領域等)等を有する素子部10を形成する。そしてこれらの高不純物密度領域に接続されるように、アルミニウム(A1)、若しくはアルミニウム合金(Al-Si 、 Al-Cu-Si)、Cu等の金属配線11a、11b、 \dots 、11eを低誘電率絶縁膜12A、12Bを層間絶縁膜として多層に形成する。そして、最上層の配線層にチップ側内部電極パッド5aを形成する。次に、チップ側内部電極パッド5aの上部に酸化膜(SiO_2)、PSG膜、BPSG膜、窒化膜(Si_3N_4)、あるいはポリイミド膜等からなる保護膜13を形成する。そして、保護膜13の一部に複数の開口部13Aを設け、チップ側内部電極パッド5aを露出させる。

【0021】

(ロ) 次に、保護膜13及び開口部13Aの上面にチタン(Ti)膜14A、Ti膜14Aの上面にニッケル(Ni)膜14B、Ni膜14Bの上面にパラジウム(Pd)膜14Cをスパッタリング装置、または電子ビーム蒸着装置等を用いてそれぞれ形成し、これらの膜からなるバリアメタル14の層を形成する。続いて、バリアメタル14の上にフォトレジスト膜を塗布し、フォトリソグラフィ技術を用いてフォトレジスト膜16aとフォトレジスト膜16bとの間に溝を形成する。そして、図4に示すように、フォトレジスト膜16aとフォトレジスト

膜16bとの間の溝にメッキ法等によりCu等の導電性材料17を選択的に形成する。

【0022】

(ハ) 次に、図5に示すように、アセトン、剥離液などの溶媒を用いてフォトレジスト膜16a、16bを剥離し、導電性材料17をマスクとしてPd膜14C、Ni膜14B、Ti膜14Aの一部をそれぞれ除去する。Pd膜14C及びNi膜14Bの除去には、王水系のエッチング液が使用できる。Ti膜14の除去には、エチレンジアミン四酢酸系を用いることができる。続いて、図6に示すように、導電性材料17の周囲にフラックスを塗布し、窒素雰囲気中で200～220℃、30秒間程度加熱し、導電性材料17をリフローしてバリアメタル層14の上に第2の半田ボール4aを形成する。その後、第2の半田ボール4aが形成された半導体チップ6に対して電気的なテストが行われる。

【0023】

(ニ) 次に、図7に示すように、厚さ30～60μmのエポキシ樹脂等からなるチップ搭載基板1を用意する。チップ搭載基板1としては、エポキシ樹脂の他、ポリイミド樹脂、フェノール樹脂、セラミック基板、または炭化珪素基板等が使用可能である。チップ搭載基板1の第1主面には、Cu等からなる配線層15を形成する。一方、第2主面には、Cu等からなる基板側内部電極パッド2aを形成し、基板側内部電極パッド2aの上部にSiO₂膜、PSG膜等からなる保護膜18を堆積する。その後、保護膜18の一部を除去して開口部18aを設け、基板側内部電極パッド2aを露出させる。続いて、基板側内部電極パッド2aの上に第1の半田ボール3aを形成する。

【0024】

(ホ) 次に、図8に示すように、基板側内部電極パッド2a、2b、2c、2d及び第1の半田ボール3a、3b、3c、3dを取り囲むように、チップ搭載基板1の第1主面にフラックス機能を有する封止樹脂7を塗布する。なお、封止樹脂7の熱膨張係数を低下させ、樹脂の信頼性を向上させるためにフィラーを添加した材料を使用してもよい。続いて、図9に示すように、第1の半田ボール3a、3b、3c、3dの上に第2の半田ボール4a、4b、4c、4dを対向さ

せて位置合わせをする。その後、チップ搭載基板1及び半導体チップ6を炉等に入れ、半導体チップ6の上からチップ搭載基板1に向かって加圧しながら150℃程度で1～15秒間加熱し、リフローする。この結果、封止樹脂7が活性化し、封止樹脂7の持つフラックス効果により、第1の半田ボール3a、3b、3c、3dの表面の酸化物や汚染物が除去される。続いて、第1の半田ボール3a、3b、3c、3dが熔融し、図10に示すように、第2の半田ボール4a、4b、4c、4dの周囲に密着する。さらに、封止樹脂7を硬化させるために、チップ搭載基板1及び半導体チップ6をオープン等で乾燥させる。

【0025】

以上の工程により、図1に示すような1次実装体100が実現可能となる。本発明の第1の実施の形態に係る1次実装体100によれば、基板側内部電極パッド2a、2b、2c、2dの上に配置された第1の半田ボール3a、3b、3c、3dが150℃程度の低温で熔融し、第2の半田ボール4a、4b、4c、4dに仮接続される。このため、チップ搭載基板1の材料に有機系の樹脂を使用した際に、チップ搭載基板1からガスが発生せず、封止樹脂7中にボイドが発生し難くなる。また、チップ搭載基板1と半導体チップ6とが低温で接続されることにより、チップ搭載基板1及び半導体チップ6の熱膨張、あるいは封止樹脂7の熱収縮の割合が小さくなり、チップ搭載基板1のコプラナリティや信頼性を向上させることができる。さらに、第2の半田ボール4a、4b、4c、4dには過度の熱応力が加わらないので、チップ側内部電極パッド5a、5b、5c、5dが配置された低誘電率絶縁膜12の破損を防止できる。低誘電率絶縁膜12の表面には、有機系の樹脂等からなる保護膜13が配置されているので、低誘電率絶縁膜12の剥離を防ぐこともできる。

【0026】

(第2の組立方法)

以下に、図11及び図12を用いて第2の組立方法を説明する。半導体チップ6及びチップ搭載基板1に第2の半田ボール4a、4b、4c、4dまたは第1の半田ボール3a、3b、3c、3dを形成するまでの方法は、図2～図8に示す方法と同様であるので、説明を省略する。

【0027】

まず、実装ステージ20A及び実装ツール20Bを150℃程度に加温する。そして、チップ搭載基板1の第1主面を例えば真空チャックなどにより実装ステージ20A上に載せ、半導体チップ6の第3主面に対向した第4主面を真空チャック等により実装ツール20B上に固定する。続いて、図11に示すように、第1の半田ボール3a, 3b, 3c, 3dの上に第2の半田ボール4a, 4b, 4c, 4dを対向させて位置を合わせする。次に、実装ツール20Bの上から実装ステージ20A側に向かって加圧する。この結果、図12に示すように、第1の半田ボール3a, 3b, 3c, 3dが溶融して変形し、第2の半田ボール4a, 4b, 4c, 4dの周囲に密着する。さらに、実装ステージ20A及び実装ツール20Bの加温をやめ、冷却することにより、封止樹脂7を冷却し硬化させる。

【0028】

(第1の実施の形態の変形例)

本発明の第1の実施の形態の変形例に係る半導体装置(1次実装体)102は、図13に示すように、チップ搭載基板1の第2主面に配置された第2基板側内部電極パッド22a, 22b, 22c, 22dと、第2基板側内部電極パッド22a, 22b, 22c, 22dに接続された第3の半田ボール23a, 23b, 23c, 23dと、第3の半田ボール23a, 23b, 23c, 23dに接続された第4の半田ボール24a, 24b, 24c, 24dと、第4の半田ボール24a, 24b, 24c, 24dに接続された第2半導体チップ26とを更に備える点が、図1に示す1次実装体100と異なる。第2半導体チップ26の第3主面には、第2素子部30が配置されている。この第2素子部30の下に第2低誘電率絶縁膜32が配置され、第2低誘電率絶縁膜32の下に第2チップ側内部電極パッド25a, 25b, 25c, 25dが離間して配置されている。第2低誘電率絶縁膜32の表面には、有機樹脂等からなる第2保護膜33が形成されている。

【0029】

第2基板側内部電極パッド22a, 22b, 22c, 22dは、基板側内部電極パッド2a, 2b, 2c, 2dと同様の構成である。第3の半田ボール23a

、23b、23c、23dは、第1の半田ボール3a、3b、3c、3dと同様の構成である。第4の半田ボール24a、24b、24c、24dは、第2の半田ボール4a、4b、4c、4dと同様の構成である。また、第2素子部30、第2低誘電率絶縁膜32、第2チップ側内部電極パッド25a、25b、25c、25d、及び第2保護膜33は、素子部10、低誘電率絶縁膜12、チップ側内部電極パッド5a、5b、5c、5d、及び保護膜13と同様の構成であるので、説明を省略する。

【0030】

(組立方法)

次に、図13～図15を用いて本発明の第1の実施の形態の変形例に係る1次実装体102の組立方法を説明する。

【0031】

(イ) まず、厚さ30～60 μ mのエポキシ樹脂等からなるチップ搭載基板1を用意する。チップ搭載基板1の第1主面には、Cu等からなる配線層15を形成しておく。一方、第2主面には、Cu等からなる基板側内部電極パッド2a、2b、2c、2d及び第2基板側内部電極パッド22a、22b、22c、22dをそれぞれ形成する。そして、基板側内部電極パッド2a、2b、2c、2d及び第2基板側内部電極パッド22a、22b、22c、22dの周囲にSiO₂膜、PSG膜からなる保護膜18を形成する。続いて、保護膜18の一部を除去して基板側内部電極パッド2a、2b、2c、2d及び第2基板側内部電極パッド22a、22b、22c、22dを露出させる。次に、基板側内部電極パッド2a、2b、2c、2dの上に第1の半田ボール3a、3b、3c、3dを形成し、第2基板側内部電極パッド22a、22b、22c、22dの上に第3の半田ボール23a、23b、23c、23dを形成する。次に、図14に示すように、このチップ搭載基板1を150℃程度に加温した実装ステージ20Aに載せる。

【0032】

(ロ) 次に、基板側内部電極パッド2a、2b、2c、2d及び第1の半田ボール3a、3b、3c、3dを取り囲むように、チップ搭載基板1の上にフラッ

クス機能を有する封止樹脂7Aを塗布する。第2基板側内部電極パッド22a, 22b, 22c, 22d及び第3の半田ボール23a, 23b, 23c, 23dの上には、フラックス機能を有する封止樹脂7Bを塗布する。封止樹脂7A及び封止樹脂7Bは、実装ステージ20Aからの熱により加熱されて活性化する。この結果、第1の半田ボール3a, 3b, 3c, 3dの表面の酸化物や汚染物が、封止樹脂7Aの持つフラックス効果により除去される。同様に、第3の半田ボール23a, 23b, 23c, 23dの表面の酸化物や汚染物が、封止樹脂7Bの持つフラックス効果により除去される。その後、第1の半田ボール3a, 3b, 3c, 3dを封止樹脂7Aの表面に一部露出させる。第3の半田ボール23a, 23b, 23c, 23dを封止樹脂7Bの表面に一部露出させる。

【0033】

(ハ) 続いて、図14に示すように、第1の半田ボール3a, 3b, 3c, 3dの上に第2の半田ボール4a, 4b, 4c, 4dを対向させて位置を合わせ、半導体チップ6の上からチップ搭載基板1に向かって加圧する。第1の半田ボール3a, 3b, 3c, 3dは、実装ステージ20Aの熱により溶融し、図15に示すように、第2の半田ボール4a, 4b, 4c, 4dの周囲に密着する。次に、第3の半田ボール23a, 23b, 23c, 23dの上に第4の半田ボール24a, 24b, 24c, 24dを対向させて位置を合わせ、第2半導体チップ6の上からチップ搭載基板1に向かって加圧する。第3の半田ボール23a, 23b, 23c, 23dは、実装ステージ20Aの熱により溶融し、図13に示すように、第4の半田ボール24a, 24b, 24c, 24dの周囲に密着する。その後、さらに、実装ステージ20Aの加熱をやめ、冷却することにより封止樹脂7を冷却し、硬化させる。

【0034】

以上の工程により、図13に示す1次実装体102が実現可能となる。本発明の第1の実施の形態の変形例に係る1次実装体102によれば、最初に第1の半田ボール3a, 3b, 3c, 3dが、実装ステージ20Aから伝達される熱によって溶融し、第2の半田ボール4a, 4b, 4c, 4dに仮接続される。このため、仮接続された第1半導体チップ6の隣に第2半導体チップ26を実装する際

に、封止樹脂7A、7Bの流動による第1及び第2半導体チップ6、26の位置のずれを防ぐことができ、複数の半導体素子を近接して実装できる。また、図13に示す1次実装体102は150℃の低温で接合可能であるので、チップ搭載基板1の材料に有機系の樹脂を使用した際に、チップ搭載基板1からガスが発生せず、封止樹脂7中にボイドが発生し難くなる。さらに、チップ搭載基板1及び、半導体チップ6、26の熱膨張、あるいは封止樹脂7の熱収縮が小さく抑えられるので、チップ側内部電極パッド5a、5b、5c、5d及び第2チップ側内部電極パッド25a、25b、25c、25dに過度の応力が加わらない。このため、チップ側内部電極パッド5a、5b、5c、5d及び第2チップ側内部電極パッド25a、25b、25c、25dの近傍に配置された低誘電率絶縁膜12及び第2低誘電率絶縁膜32に加わる応力を最小限に抑え、膜の破損を防止できる。

【0035】

(第2の実施の形態)

本発明の第2の実施の形態に係る半導体装置(1次実装体)102は、図16に示すように、基板側内部電極パッド2a、2b、2c、2dとチップ側内部電極パッド5a、5b、5c、5dとの間に内部接続体8a、8b、8c、8dが配置されている。また、チップ搭載基板1の第1主面に、基板側外部電極パッド15a、15b、・・・、15fがそれぞれ離間して配置され、基板側外部電極パッド15a、15b、・・・、15fの上に外部接続ボール21a、21b、・・・、21fがそれぞれ接続されている。他は、図1に示す1次実装体100とほぼ同様の構成であるので、説明を省略する。

【0036】

内部接続体8a、8b、8c、8dは、図1に示す第1の半田ボール3a、3b、3c、3dと第2の半田ボール4a、4b、4c、4dとが混合された電極である。内部接続体8a、8b、8c、8dは、第1の半田ボール3a、3b、3c、3dに比べて融点が高く、第2の半田ボール4a、4b、4c、4dに比べて融点が高い。内部接続体8a、8b、8c、8dとしては、低融点半田材料であるSn-Bi系、Sn-Bi-Ag系、Sn-Zn系、Sn-Zn-Bi系

、Sn-Bi-In系、Bi-In系、Sn-In系、In-Ag、Sn-Pb (Sn=5w%、Pb=95w%)系、あるいは高融点半田材料であるSn-Ag系、Sn-Ag-Cu系、Sn-Pb (Sn=63w%、Pb=37w%)系、及びSn-Zn系の少なくとも2種類の半田材料が使用可能である。

【0037】

基板側外部電極パッド15a、15b、・・・、15fには、Cu、Au、Al、若しくはAl合金 (Al-Si、Al-Cu-Si)等の導電性材料を利用することが可能である。あるいは、複数のポリシリコンゲート電極に接続されたゲート配線等の複数の信号線を介して、他の複数の電極を設けてもよい。ポリシリコンからなるゲート電極の代わりに、W、Ti、Mo等の高融点金属、これらのシリサイド (WSi₂、TiSi₂、MoSi₂)等、あるいはこれらのシリサイドを用いたポリサイド等からなるゲート電極でもかまわない。

【0038】

外部接続ボール21a、21b、・・・、21fには、第1の半田ボール3a、3b、3c、3dに比べて融点が高い半田材料が使用可能である。例えば、外部接続ボール21a、21b、・・・、21fとしては、Sn-Ag系、Sn-Ag-Cu系、Sn-Pb系、Sn-Zn系の半田合金の他、Au、Ag、Cu、Ni、Fe、Pd、Sn、Pb、Ag、Bi、Zn、In、Sb、Cu、Ge、これらの混合物あるいは化合物のいずれかの材料を使用できる。

【0039】

(組立方法)

次に、図17及び図18を用いて本発明の第2の実施の形態に係る1次実装体102の組立方法を説明する。なお、半導体チップ6及びチップ搭載基板1に第2の半田ボール4a、4b、4c、4dまたは第1の半田ボール3a、3b、3c、3dを形成するまでの方法は、図2～図8に示す方法と同様であるので、説明を省略する。

【0040】

第1主面に形成された配線層15にフォトリソグラフィ技術を用いてフォトレジスト膜をパターニングする。パターニングされたフォトレジスト膜をエッチン

ゲマスクとして配線層15の一部を除去し、基板側外部電極パッド15a, 15b,, 15fを形成する。基板側外部電極パッド15a, 15b,, 15fの周囲にSiO₂、SiN等からなる保護膜(図示省略)を形成してもよい。そして、図17に示すように、基板側外部電極パッド15a, 15b,, 15fの上に、例えばSn-Ag系の半田合金からなる外部接続ボール21a, 21b,, 21fをそれぞれ形成し、200℃程度に加熱して、外部接続ボール21a, 21b,, 21fをリフローする。リフローで発生する熱は、第1の半田ボール3a, 3b, 3c, 3d及び第2の半田ボール4a, 4b, 4c, 4dに伝達される。この結果、図18に示すように、第1の半田ボール3a, 3b, 3c, 3d及び第2の半田ボール4a, 4b, 4c, 4dが熔融し、内部接続体8a, 8b, 8c, 8dが形成される。これらの内部接続体8a, 8b, 8c, 8dは、第1の半田ボール3a, 3b, 3c, 3dと第2の半田ボール4a, 4b, 4c, 4dとがそれぞれ混合して形成されるため、第1の半田ボール3a, 3b, 3c, 3dより融点が高く、第2の半田ボール4a, 4b, 4c, 4dより融点が低くなる。

【0041】

以上の工程により、図16に示すような1次実装体102が実現可能となる。本発明の第2の実施の形態に係る1次実装体102によれば、第1の半田ボール3a, 3b, 3c, 3dが、例えば150℃程度の低温で熔融し、第2の半田ボール4a, 4b, 4c, 4dに仮接続される。このため、チップ搭載基板1の材料として有機系の樹脂を使用した際に、チップ搭載基板1からガスが発生せず、封止樹脂7中のボイドが発生し難くなる。チップ搭載基板1と半導体チップ6とが低温で接続されることにより、チップ搭載基板1、半導体チップ6及び封止樹脂7の熱収縮が小さくなるので、チップ側内部電極パッド5a, 5b, 5c, 5dに加わる熱応力が小さくなる。このため、チップ側内部電極パッド5a, 5b, 5c, 5dの直上に配置された低誘電率絶縁膜12に加わる応力を最小限に抑えることができ、膜の破損を防止できる。さらに、外部接続ボール21a, 21b,, 21fをリフローする際に発生する熱により、内部接続体8a, 8b, 8c, 8dが形成され、チップ搭載基板1と半導体チップ6との本接続

がなされる。これらの内部接続体8a, 8b, 8c, 8dは第1の半田ボール3a, 3b, 3c, 3dより融点が高くなるため、150℃での高温放置試験や、-55℃雰囲気及び125℃雰囲気を繰り返す熱サイクル試験を行っても、内部接続体8a, 8b, 8c, 8dが溶融せず、1次実装体102の信頼度が確保できる。

【0042】

(第2の実施の形態の変形例)

本発明の第2の実施の形態の変形例に係る半導体装置(1次実装体)103は、図19に示すように、第2基板側内部電極パッド22a, 22b, 22c, 22dと第2チップ側内部電極パッド25a, 25b, 25c, 25dとの間に第2内部接続体28a, 28b, 28c, 28dが配置されている。また、第2基板側内部電極パッド22a, 22b, 22c, 22dに対向した第2主面に基板側外部電極パッド15f, 15g,, 15jがそれぞれ離間して配置され、これらの基板側外部電極パッド15f, 15g,, 15jに外部接続ボール21f, 21g,, 21jがそれぞれ接続されている。他は、図13に示す1次実装体101とほぼ同様の構成であるので、説明を省略する。

【0043】

第2内部接続体28a, 28b, 28c, 28dは、図20に示す第3の半田ボール23a, 23b, 23c, 23dと第4の半田ボール24a, 24b, 24c, 24dとが混合された電極である。第2内部接続体28a, 28b, 28c, 28dは、第3の半田ボール23a, 23b, 23c, 23dに比べて融点が高く、第4の半田ボール24a, 24b, 24c, 24dに比べて融点の低い性質を有している。第2内部接続体28a, 28b, 28c, 28dとしては、低融点半田材料であるSn-Bi系、Sn-Bi-Ag系、Sn-Zn系、Sn-Zn-Bi系、Sn-Bi-In系、Bi-In系、Sn-In系、In-Ag系、Bi-Pd系、Sn-Pb (Sn=5w%、Pb=95w%)系、あるいは高融点半田材料であるSn-Ag系、Sn-Ag-Cu系、Sn-Pb (Sn=63w%、Pb=37w%)系、及びSn-Zn系の少なくとも2種類の半田材

料が使用可能である。

【0044】

(組立方法)

次に、図19及び図20を用いて本発明の第2の実施の形態の変形例に係る1次実装体103の組立方法を説明する。

【0045】

まず、第1主面に形成された配線層15にフォトリソグラフィ技術を用いてフォトレジスト膜をパターンニングする。パターンニングされたフォトレジスト膜をエッチングマスクとして配線層15の一部を除去し、基板側外部電極パッド15a, 15b,, 15jを形成する。基板側外部電極パッド15a, 15b,, 15jの周囲にSiO₂、SiN等からなる保護膜を形成してもよい。そして、図20に示すように、基板側外部電極パッド15a, 15b,, 15jの上に、例えばSn-Ag系の半田合金からなる外部接続ボール21a, 21b,, 21jをそれぞれ形成し、200℃程度で外部接続ボール21a, 21b,, 21fをリフローする。リフローの際に発生する熱は、第1及び第3の半田ボール3a, 3b,, 23a,, 23d、第2及び第4の半田ボール4a, 4b,, 24a,, 24dのそれぞれに伝達される。この結果、図19に示すように、第1及び第2の半田ボール3a, 3b,, 23a,, 23dと第2及び第4の半田ボール4a, 4b,, 24a,, 24dとがそれぞれ熔融し、内部接続体8a, 8b,, 28a,, 28dが形成される。

【0046】

以上の工程により、図19に示すような1次実装体103が実現可能となる。本発明の第2の実施の形態の変形例に係る1次実装体103によれば、第1の半田ボール3a, 3b, 3c, 3dと第2の半田ボール4a, 4b, 4c, 4dとが仮接続された後に、第3の半田ボール23a, 23b, 23c, 23dと第4の半田ボール24a, 24b, 24c, 24dとが仮接続される。このため、第1半導体チップ6の隣に第2半導体チップ26を実装する際に、封止樹脂7の流

動による位置ずれを防ぐことができ、複数の半導体素子を近接して実装できる。

また、図19に示す1次実装体103は、150℃の低温で仮接続されるので、チップ搭載基板1の材料に有機系の樹脂を使用した際に、チップ搭載基板1からガスが発生せず、封止樹脂7中にボイドが発生し難くなる。また、封止樹脂7の熱による収縮率が小さく抑えられるので、チップ側内部電極パッド5a、5b、5c、5d及び第2チップ側内部電極パッド25a、25b、25c、25dに過度の応力が加わらない。このため、チップ側内部電極パッド5a、5b、5c、5dの直上に配置された低誘電率絶縁膜12、第2チップ側内部電極パッド25a、25b、25c、25dの直上に配置された低誘電率絶縁膜32に加わる応力を最小限に抑えることができ、膜の破損を防止できる。さらに、外部接続ボール21a、21b、・・・、21fをリフローする際に発生する熱により、内部接続体8a、8b、・・・、28a、・・・、28dが形成され、チップ搭載基板1と半導体チップ6、チップ搭載基板1と半導体チップ26との本接続がなされる。これらの内部接続体8a、8b、・・・、28a、・・・、28dは、第1の半田ボール3a、3b、・・・、23a、・・・、23dより融点が高いので、150℃での高温放置試験や、-55℃雰囲気及び125℃雰囲気を繰り返す熱サイクル試験を行っても、内部接続体8a、8b、・・・、28a、・・・、28dが溶融せず、1次実装体103の信頼度を向上させることができる。

【0047】

(その他の実施の形態)

上記のように、本発明は第1及び第2の実施の形態によって記載したが、この開示の一部をなす論述及び図面はこの発明を限定するものであると理解すべきではない。この開示から当業者には様々な代替実施の形態、実施例及び運用技術が明らかとなろう。

【0048】

図1～図19に示す1次実装体100、101、102、103においては、第1及び第3の半田ボール3a、3b、・・・、23a、・・・、23d、第2及び第4の半田ボール4a、4b、・・・、24a、・・・、2

4 d のそれぞれの半田材料の種類を部分的に変化させてもよい。例えば、半田材料がリフローにより加温されると、半導体チップ 6、第 2 半導体チップ 2 6、及びチップ搭載基板 1 のそれぞれが膨張する。熱膨張による応力は、半導体チップ 6、第 2 半導体チップ 2 6 の中心部、あるいはチップ搭載基板 1 の中心部が最も弱く、半導体チップ 6、半導体チップ 2 6、あるいはチップ搭載基板 1 の端部が最も強くなる。このため、例えば、図 1 に示す半導体チップ 6 の中心部にある第 2 の半田ボール 4 b、4 c に高融点の半田材料を使用し、端部にある第 2 の半田ボール 4 a、4 d に第 2 の半田ボール 4 b、4 c より低融点の半田材料を使用することにより、半導体チップ 6 に形成された低誘電率絶縁膜 1 2 の破壊を更に防止できる。

【0049】

以上のように、本発明はここでは記載していない様々な実施の形態等を包含するということを理解すべきである。したがって、本発明はこの開示から妥当な特許請求の範囲の発明特定事項によってのみ限定されるものである。

【0050】

【発明の効果】

本発明によれば、半導体チップと基板との接続に用いられる半田材料のリフローによる熱応力を最小限にし、封止樹脂中にボイドを発生させることなく半導体チップ素子面の破壊、特に半田材料の直上に配置された低誘電率絶縁膜の破壊を防止することができる半導体装置及びその組立方法を提供することができる。

【図面の簡単な説明】

【図 1】

本発明の第 1 の実施の形態に係る半導体装置（1 次実装体）の一例を示す断面図である。

【図 2】

本発明の第 1 の実施の形態に係る半導体装置（1 次実装体）の組立方法の一例を示す断面図（その 1）である。

【図 3】

本発明の第 1 の実施の形態に係る半導体装置（1 次実装体）の組立方法の一例

を示す断面図（その 2）である。

【図 4】

本発明の第 1 の実施の形態に係る半導体装置（1 次実装体）の組立方法の一例を示す断面図（その 3）である。

【図 5】

本発明の第 1 の実施の形態に係る半導体装置（1 次実装体）の組立方法の一例を示す断面図（その 4）である。

【図 6】

本発明の第 1 の実施の形態に係る半導体装置（1 次実装体）の組立方法の一例を示す断面図（その 5）である。

【図 7】

本発明の第 1 の実施の形態に係る半導体装置（1 次実装体）の組立方法の一例を示す断面図（その 6）である。

【図 8】

本発明の第 1 の実施の形態に係る半導体装置（1 次実装体）の組立方法の一例を示す断面図（その 7）である。

【図 9】

本発明の第 1 の実施の形態に係る半導体装置（1 次実装体）の組立方法の一例を示す断面図（その 8）である。

【図 10】

本発明の第 1 の実施の形態に係る半導体装置（1 次実装体）の組立方法の一例を示す断面図（その 9）である。

【図 11】

第 2 の組立方法の一例を示す断面図（その 1）である。

【図 12】

第 2 の組立方法の一例を示す断面図（その 2）である。

【図 13】

本発明の第 1 の実施の形態の変形例に係る半導体装置（1 次実装体）の一例を示す断面図である。

【図 14】

本発明の第 1 の実施の形態の変形例に係る半導体装置（1 次実装体）の組立方法の一例を示す断面図（その 1）である。

【図 15】

本発明の第 1 の実施の形態の変形例に係る半導体装置（1 次実装体）の組立方法の一例を示す断面図（その 2）である。

【図 16】

本発明の第 2 の実施の形態に係る半導体装置（1 次実装体）の一例を示す断面図である。

【図 17】

本発明の第 2 の実施の形態に係る半導体装置（1 次実装体）の組立方法の一例を示す断面図（その 1）である。

【図 18】

本発明の第 2 の実施の形態に係る半導体装置（1 次実装体）の組立方法の一例を示す断面図（その 2）である。

【図 19】

本発明の第 2 の実施の形態の変形例に係る半導体装置（1 次実装体）の一例を示す断面図である。

【図 20】

本発明の第 2 の実施の形態の変形例に係る半導体装置（1 次実装体）の組立方法の一例を示す断面図である。

【符号の説明】

1…チップ搭載基板

2 a, 2 b, 2 c, 2 d…基板側内部電極パッド

3 a, 3 b, 3 c, 3 d…第 1 の半田ボール

4 a, 4 b, 4 c, 4 d…第 2 の半田ボール

5 a, 5 b, 5 c, 5 d…チップ側内部電極パッド

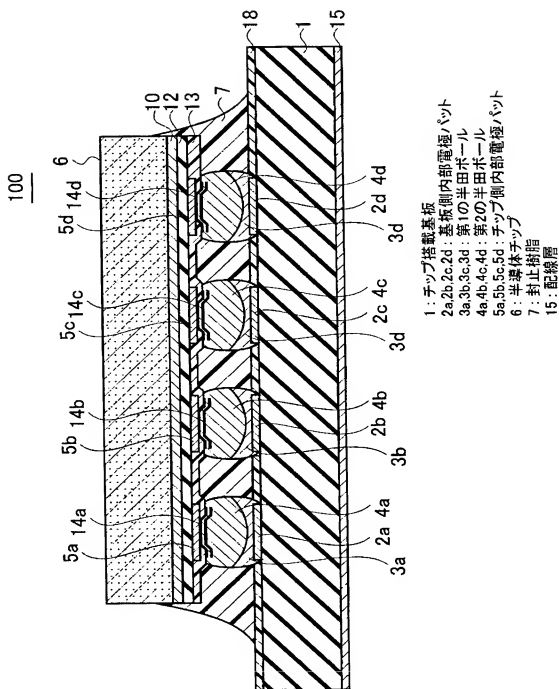
6…半導体チップ

7, 7 A, 7 B…封止樹脂

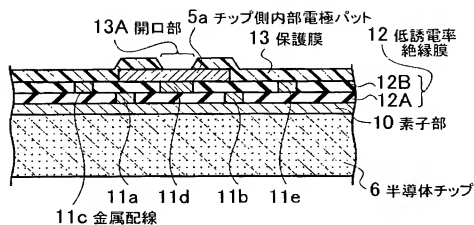
8 a, 8 b, 8 c, 8 d…内部接続体
10…素子部
11 a, 11 b,, 11 e…金属配線
12、12 A、12 B…低誘電率絶縁膜
13…保護膜
13 A…開口部
14 A…Ti膜
14 B…Ni膜
14 C…Pd膜
14 a, 14 b, 14 c,, 14 d…バリアメタル
15…配線層
15 a, 15 b,, 15 j…基板側外部電極パッド
16 a, 16 b…フォトレジスト膜
17…導電性材料
18…保護膜
18 A…開口部
20 A…実装ステージ
20 B…実装ツール
21 a, 21 b,, 21 j…外部接続ボール
22 a, 22 b, 22 c, 22 d…第2基板側内部電極パッド
23 a, 23 b, 23 c, 23 d…第3の半田ボール
24 a, 24 b, 24 c, 24 d…第4の半田ボール
25 a, 25 b, 25 c, 25 d…第2チップ側内部電極パッド
26…第2半導体チップ
28 a, 28 b, 28 c, 28…第2内部接続体
30…第2素子部
32…第2低誘電率絶縁膜
33…第2保護膜
100, 101, 102, 103…1次実装体

【書類名】 図面

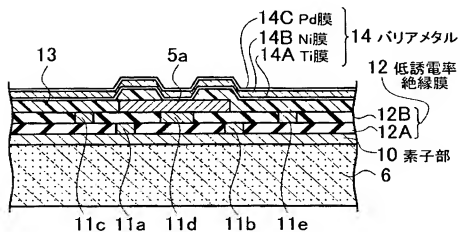
【図1】



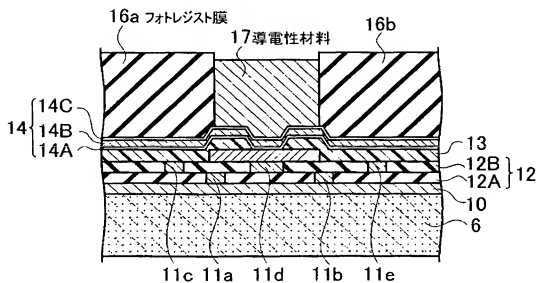
【図 2】



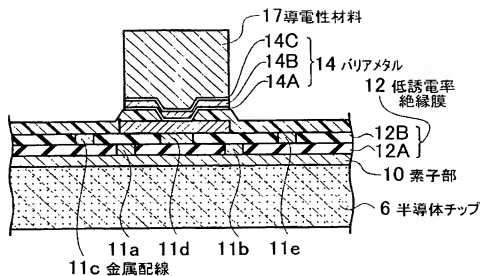
【図 3】



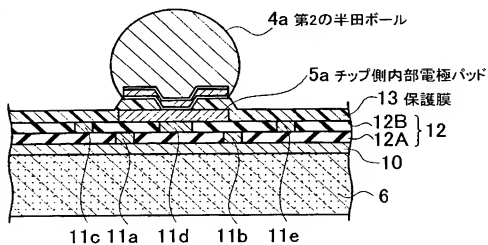
【図 4】



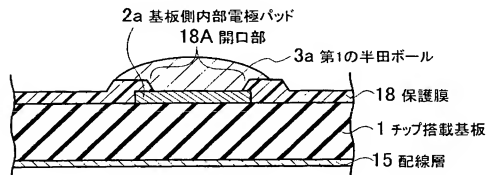
【図5】



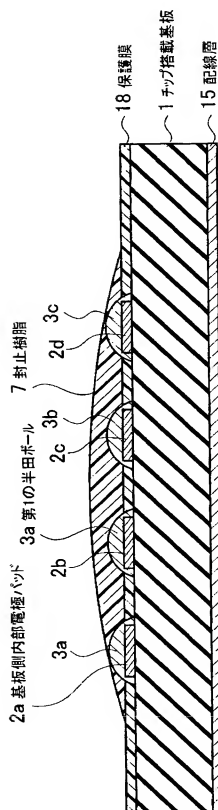
【図6】



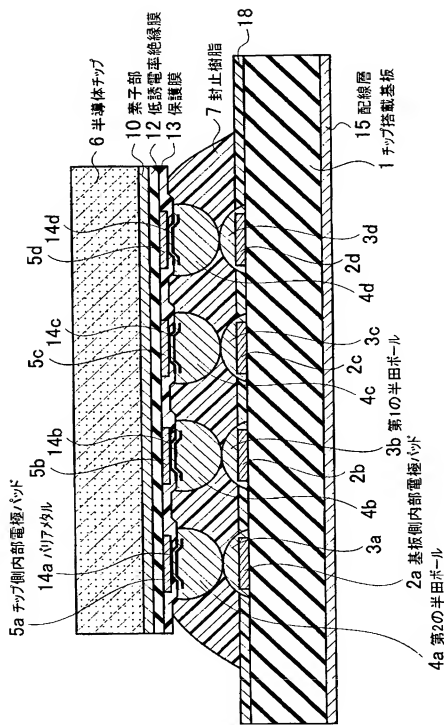
【図7】



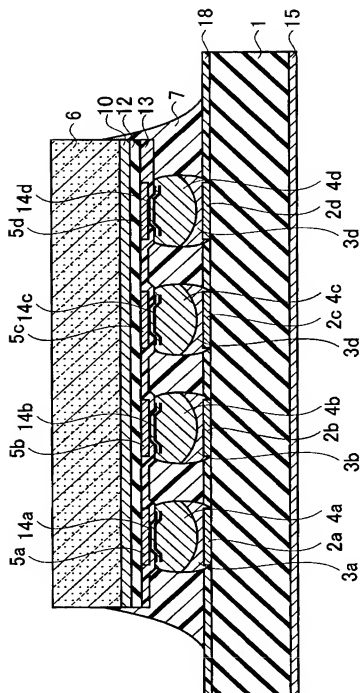
【図8】



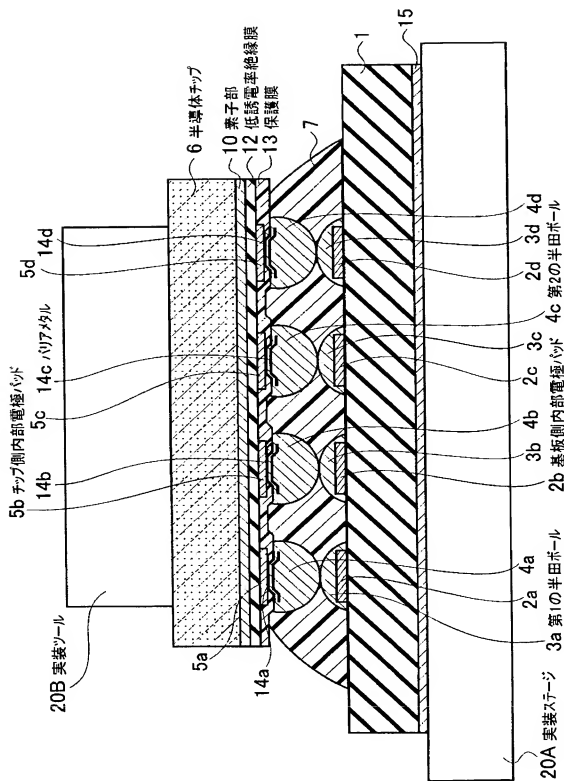
【図9】



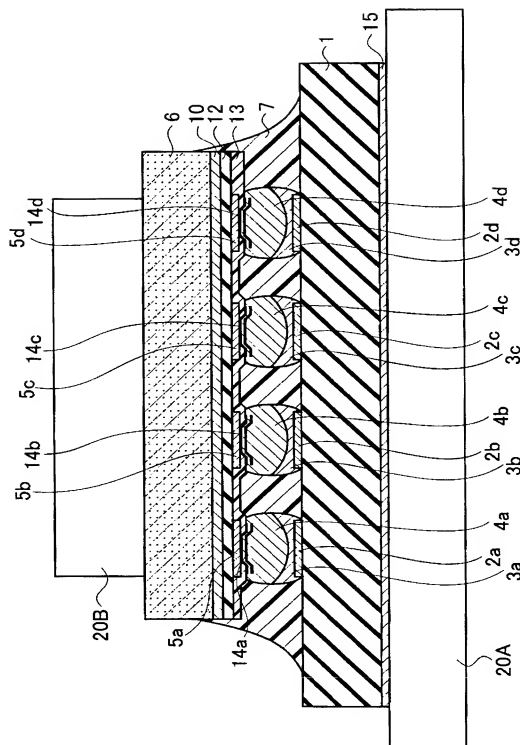
【図 10】



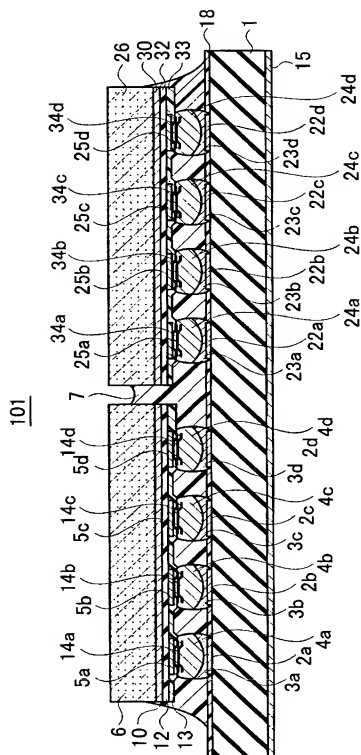
【図11】



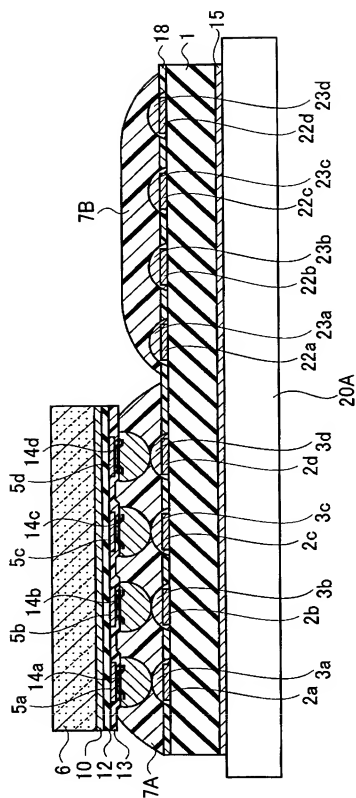
【図 12】



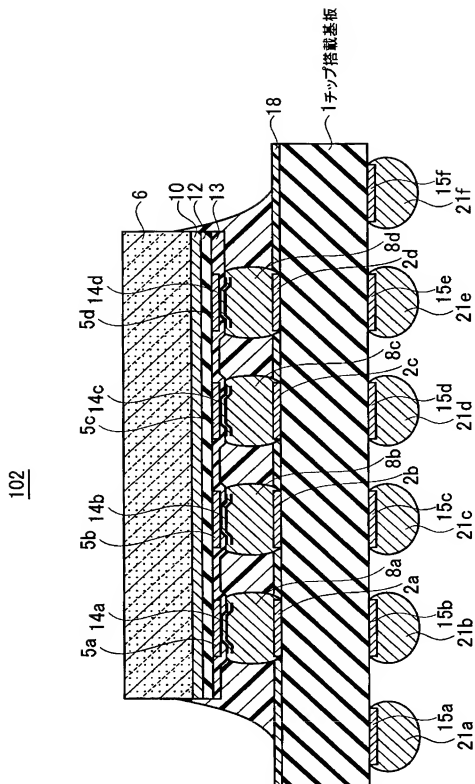
【図 13】



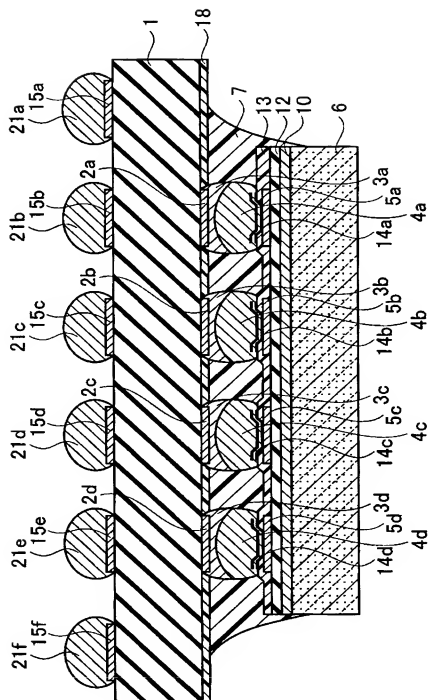
【図 14】



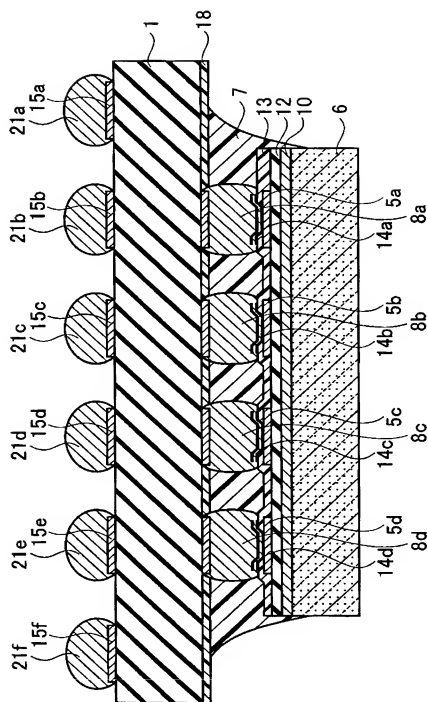
【图 16】



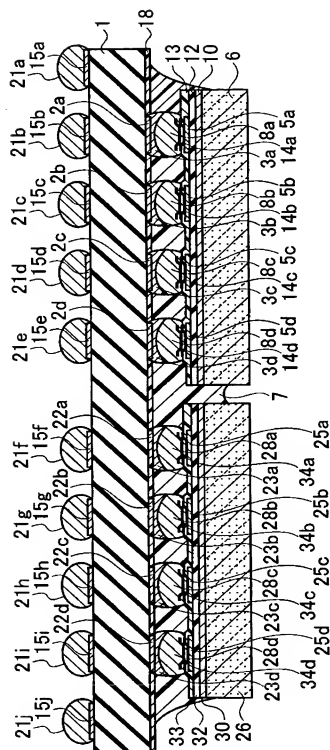
【図17】



【図18】



【図20】



【書類名】 要約書

【要約】

【課題】 半導体チップと基板との接続に用いられる半田材料のリフローによる熱応力を最小限にし、封止樹脂中にボイドを発生させることなく半導体チップ素子面の破壊、特に半田材料の直上に配置された低誘電率絶縁膜の破壊を防止することができる半導体装置及びその組立方法を提供する。

【解決手段】 第1主面と第1主面对向した第2主面を有するチップ搭載基板1と、第2主面に配置された複数の基板側内部電極パッド2と、基板側内部電極パッド2に接続された第1の半田ボール3と、第1の半田ボール3に接続された融点の高い第2の半田ボール4と、第2の半田ボール4に接続された半導体チップ6と、第1の半田ボール3及び第2の半田ボール4の周囲に封入された封止樹脂7とを備える。

【選択図】 図1

特願 2003-170905

出願人履歴情報

識別番号

[000003078]

- | | |
|----------|------------------|
| 1. 変更年月日 | 1990年 8月22日 |
| [変更理由] | 新規登録 |
| 住 所 | 神奈川県川崎市幸区堀川町72番地 |
| 氏 名 | 株式会社東芝 |
| | |
| 2. 変更年月日 | 2001年 7月 2日 |
| [変更理由] | 住所変更 |
| 住 所 | 東京都港区芝浦一丁目1番1号 |
| 氏 名 | 株式会社東芝 |